

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Doo-Hoon Goo

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **METHODS AND APPARATUS FOR ALIGNING A WAFER IN WHICH
MULTIPLE LIGHT BEAMS ARE USED TO SCAN ALIGNMENT MARKS**

Date: June 25, 2003

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0036013, filed June 26, 2002.

Respectfully submitted,



D. Scott Moore

Registration No. 42,011

Correspondence Address:



20792

PATENT TRADEMARK OFFICE

Telephone: 919/854-1400

Facsimile: 919/854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV353610418 US

Date of Deposit: June 25, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Traci A. Brown



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2002년 제 36013 호
Application Number PATENT-2002-0036013

출원년월일 : 2002년 06월 26일
Date of Application JUN 26, 2002

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 07 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2002.06.26
【발명의 명칭】 반도체 기판의 정렬 방법 및 정렬 장치
【발명의 영문명칭】 Method for aligning of wafer and apparatus for same
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박영우
【대리인코드】 9-1998-000230-2
【포괄위임등록번호】 1999-030203-7
【발명자】
【성명의 국문표기】 구두훈
【성명의 영문표기】 Goo, Doo Hoon
【주민등록번호】 691120-1120311
【우편번호】 441-390
【주소】 경기도 수원시 권선구 권선동 신동아대원 511-701
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 11 면 11,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 18 항 685,000 원
【합계】 725,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 기판의 정렬 방법 및 장치가 개시되어 있다. 반도체 기판에 형성된 정렬 마크 상으로 제1 광을 조사한다. 상기 조사된 제1 광이 상기 정렬 마크에서 회절된 제1 회절광을 센싱하여 상기 정렬 마크의 제1 위치를 파악한다. 상기 정렬 마크 상으로 상기 제1 위치의 오차를 보정하는 제2 광을 조사한다. 상기 조사된 제2 광이 상기 정렬 마크에서 회절된 제2 회절광을 센싱하여 상기 정렬 마크의 제2 위치를 파악한다. 상기 제2 위치와 제1 위치의 차이를 이용하여 보정값을 구한다. 상기 보정값에 따라 반도체 기판의 정렬한다. 상기 방법에 의해 정렬 마크에 단차가 발생하더라도 정확히 기판을 정렬할 수 있다.

【대표도】

도 3

【명세서】

【발명의 명칭】

반도체 기판의 정렬 방법 및 정렬 장치{Method for aligning of wafer and apparatus for same}

【도면의 간단한 설명】

도 1은 종래의 웨이퍼 정렬 장치를 개략적으로 도시한 도면이다.

도 2는 종래의 정렬 장치에서 정렬 마크의 단차에 따라 회절광이 센싱되는 위치를 도시한 것이다.

도 3은 본 발명의 제1 실시예에 따른 반도체 기판 정렬 장치의 간략한 단면도이다.

도 4는 본 발명의 제2 실시예에 따른 반도체 기판 정렬 장치의 간략한 단면도이다.

도 5는 본 발명의 일 실시예에 따른 반도체 기판 정렬 방법의 플로 차트이다.

도 6은 본 발명에서 정렬 마크의 단차에 의해 제1 광 및 제2 광의 회절광이 센싱되는 위치를 도시한 것이다.

도 7은 본 발명에서 제1 및 제2 팩터를 구하는 방법을 설명하기 위한 참고도이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200 : 스테이지

102 : 제1 광원

104 : 제2 광원

202 : 광원부

110, 210 : 제1 센싱부

112, 212 : 제2 센싱부

114, 214 : 위치 보상부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 기관의 정렬 방법 및 정렬 장치에 관한 것으로, 보다 상세하게는 사진 공정시에 반도체 기관의 정렬 방법 및 정렬 장치에 관한 것이다.

<14> 반도체 산업에서 경쟁력 강화를 위한 일환으로 높은 생산 수율을 보장할 수 있는 각각의 단위 공정이 개발되고 있으며, 동시에 각 단위 공정에서의 공정 에러를 측정하는 방법 및 장치도 활발하게 연구되고 있다. 특히 핵심 반도체 제조 공정들 중의 하나인 사진 공정(Photo-lithographic Process)의 경우에도 공정 조건의 변화가 빈번하여 이에 대처할 수 있는 공정 개발 및 이를 수행하기 위한 장치가 필요한 실정이다.

<15> 사진 공정 시에 고려되어야 하는 문제점 중의 하나는 노광 및 현상에 의해 형성되는 포토레지스트 패턴의 미스얼라인(misalign)이다. 상기 미스얼라인은 반도체 장치의 고집적화에 따른 얼라인 마진(align margin)의 축소 및 웨이퍼의 대구경화 등에 따라 정확한 얼라인이 점점 어려워지면서, 더욱 심각한 문제점으로 대두되고 있다. 상기 미스얼라인 불량을 방지하기 위해, 웨이퍼를 정확히 얼라인시키는 과정이 필수적으로 요구된다.

<16> 통상적인 사진 공정의 순서는 다음과 같다.

<17> 먼저, 웨이퍼의 상부에 포토레지스트막을 스핀 코팅한다.

<18> 이어서, 노광 설비에서 단색광의 레이저에 의한 회절광의 세기(intensity) 변화나 광대역(broadband)의 백색광에 의한 명암의 차이를 통해 전 단계의 사진 및 식각 공정에 의해 형성된 얼라인 마크(align mark)의 좌표값을 읽고 그 보정값을 산출하여 노광하고자 하는 부위를 소정 위치에 정확히 얼라인시킨다.

<19> 도 1은 종래의 웨이퍼 정렬 장치를 개략적으로 도시한 도면이다.

<20> 도 1을 참조하여, 구체적으로 상기 얼라인 마크에 의해 웨이퍼를 정렬하는 방법을 설명한다.

<21> 포토리지스트막이 코팅된 웨이퍼(W)를 웨이퍼 스테이지(10)상에 놓는다. 상기 웨이퍼(W)에서 칩과 칩 사이에는 스크라이브 라인 영역이 구비되고, 상기 스크라이브 라인에는 이 전 단계에서 정렬 마크 및 오버레이 마크들이 형성되어 있다.

<22> 상기 웨이퍼(W)에 형성되어 있는 정렬 마크와 수직한 방향으로 광(12)을 조사한다. 이 때, 상기 광(12)은 다수의 회절 격자형으로 마련되는 정렬 마크 상으로 연속하여 조사된다. 상기 조사된 광(12)은 상기 정렬 마크들로부터 회절되고, 상기 회절광 중에서 주로 1차광 또는 2차광을 센싱한다.

<23> 상기 센싱된 회절광(14)을 광전 변환시켜 DC신호 파형으로 디스플레이한다. 상기 신호 파형으로부터 상기 정렬 마크의 위치 좌표를 산출한다.

<24> 상기 웨이퍼(W)상의 각 영역 별로 형성되어 있는 정렬 마크는 상기 방법에 의해 각각의 위치가 산출된다. 이어서, 설계상의 정렬 마크의 좌표와 상기 방법에 의해 수득되는 정렬 마크의 위치 좌표를 비교하여 웨이퍼(W)를 정확한 위치에 정렬시킨다.

- <25> 상기와 같이 웨이퍼의 정렬을 수행한 후, 자외선, 전자-빔 또는 X-선과 같은 광선의 조사에 의해 포토레지스트막을 선택적으로 노광한다. 계속해서, 현상 공정을 통해 포토레지스트막을 패터닝한 후, 별도의 오버레이 측정장치에서 오버레이 키를 이용하여 현 단계에서 형성하는 패턴이 전 단계에서 형성되었던 패턴과 일치되는지의 여부를 측정한다.
- <26> 이어서, 오버레이 측정 결과를 판독하여 그 측정치가 스펙-인(spec-in)이면 식각 공정과 같은 후속 공정을 진행하고, 측정치가 스펙-아웃(spec-out)이면 미스-얼라인먼트에 대한 보정값을 산출한 후 다시 노광 및 현상 공정을 진행한다.
- <27> 그런데, 상기 설명한 방법대로 정렬 마크에 광(12)을 조사하여 웨이퍼(W)를 정렬할 경우에는 상기 정렬 마크의 단차가 웨이퍼(W)전체 영역에서 균일하여야만 상기 웨이퍼(W)를 정확하게 정렬시킬 수 있다. 만일, 상기 정렬 마크의 각 패턴들의 단차가 웨이퍼(W)의 영역별로 발생한다면, 상기 웨이퍼(W)의 정렬 마크의 위치 좌표가 실제의 위치 좌표와는 다르게 산출된다.
- <28> 도 2는 종래의 정렬 장치에서 정렬 마크의 단차에 따라 회절광이 센싱되는 위치를 도시한 것이다.
- <29> 도 2를 참조하여 구체적으로 설명하면, 상기 웨이퍼(W)상에 형성되어 있는 정렬 마크(20)가 동일한 좌표 상에 위치하여 있을지라도, 상기 각 정렬 마크 패턴(20)들의 높이가 ΔZ 만큼 차이가 난다면, 상대적으로 높은 정렬 마크 패턴(20a)에서 회절되는 회절광이 센싱되는 위치와, 상대적으로 낮은 정렬 마크 패턴(20b)에서 회절되는 회절광이 센싱되는 위치는 동일하지 않다. 구체적으로, 상대적으로 낮은 정렬 마크 패턴(20a)에서 회절되는 회절광(24a)이 센싱되는 위치는 상대적으로 높은 정렬 마크 패턴(20b)에서 회절

되는 회절광(24b)이 센싱되는 위치에 비해 양(+)의 방향으로 ΔX 만큼 쉬프트(shift)되어 있다. 즉, 상기 단차에 의해서 정렬 마크의 위치에 오차가 발생하는 것이다.

<30> 이러한 단차 발생은 반도체 공정들 중에서 주요한 공정 중의 하나인 CMP공정을 수행하면서부터 더욱 심화되고 있다. 상기 CMP공정은 웨이퍼 전면을 평탄화시키기 때문에, 때때로 상기 정렬 마크까지도 연마하거나 또는 손상을 입힌다. 더구나, 상기 웨이퍼 전면이 균일하게 연마되지 않을 경우에는 상기 웨이퍼의 각 영역별로 상기 정렬 마크에 포함되는 패턴들의 높이 차이가 현저하게 발생된다.

<31> 또한, 상기 정렬 마크에서 회절된 회절광들 중에서 고차광을 센싱할 경우, 상기 수직으로 조사되는 광과 센싱되는 상기 고차 회절광이 이루는 각이 더욱 커지게 된다. 때문에, 상기 고차 회절광에 의해 산출되는 상기 정렬 마크의 위치는 오차가 더욱 크게 발생된다. 따라서, 상기 회절광이 센싱되는 위치를 기준으로 계산되는 정렬 마크의 위치 좌표에 의해 웨이퍼를 정렬시키면, 정확한 위치에 웨이퍼가 정렬되지 못하게 된다.

<32> 상기 설명한 방법에서는 웨이퍼에 형성되어 있는 정렬 마크 상에 수직인 방향으로 광을 조사하여 웨이퍼를 정렬시켰다. 그러나, 상기 정렬 마크 상에 광을 경사 입사하여 웨이퍼를 정렬하는 방법도 가능하다.

<33> 마스크 및 웨이퍼의 회절 격자에 대해 얼라인먼트광을 경사 입사시켜 광 투과율을 제어하는 방법 및 장치의 일 예가 일본 공개 특허 평 4-237114호에 개시되어 있다.

<34> 주파수가 다른 파장의 광을 입사하여 위치를 정렬하는 방법의 일 예가 일본 공개 특허 소62-058628호에 개시되어 있다.

<35> 그러나, 상기 방법에 의해서도 정렬 마크의 단차에 의한 위치의 오차는 보상할 수 없다.

【발명이 이루고자 하는 기술적 과제】

<36> 따라서, 본 발명의 제1 목적은 정렬 마크의 단차에 의한 오차가 보상되는 웨이퍼 정렬 방법을 제공하는데 있다.

<37> 본 발명의 제2 목적은 정렬 마크의 단차에 의한 오차가 보상되는 웨이퍼 정렬 장치를 제공하는데 있다.

【발명의 구성 및 작용】

<38> 상기한 제1 목적을 달성하기 위하여 본 발명은,

<39> i)정렬 마크가 형성되어 있는 반도체 기판을 제공하는 단계;

<40> ii)상기 정렬 마크와 수직하게 상기 정렬 마크 상으로 제1 광을 조사하는 단계;

<41> iii)상기 조사된 제1 광이 상기 정렬 마크에서 회절된 제1 회절광을 센싱하여 상기 정렬 마크의 제1 위치 좌표를 파악하는 단계;

<42> iv)상기 정렬 마크 상으로 상기 제1 위치 좌표의 오차를 보정하기 위하여 보상광을 조사하는 단계;

<43> v)상기 조사된 보상광이 상기 정렬 마크에서 회절된 제2 회절광을 센싱하여 상기 정렬 마크의 제2 위치 좌표를 파악하는 단계;

<44> vi)상기 제2 위치 좌표와 제1 위치 좌표의 차이를 이용하여 기판을 정렬하기 위한 보정값을 계산하는 단계;

- <45> vii)상기 보정값에 의해 반도체 기판의 정렬하는 단계를 수행하는 반도체 기판의 정렬 방법을 제공한다.
- <46> 상기한 제2 목적을 달성하기 위하여 본 발명은,
- <47> 반도체 기판이 놓여지는 스테이지;
- <48> 상기 반도체 기판의 상부면에 제1 광과 상기 제1 광과 다른 입사각을 갖는 제2 광을 조사하는 광원부;
- <49> 상기 제1 광이 상기 반도체 기판에서 회절되는 제1 회절광을 센싱하여, 상기 제1 광이 회절되는 반도체 기판상의 제1 위치 좌표를 파악하는 제1 센싱부;
- <50> 상기 제2 광이 상기 반도체 기판에서 회절되는 제2 회절광을 센싱하여, 상기 제2광이 회절되는 반도체 기판상의 제2 위치 좌표를 파악하는 제2 센싱부;
- <51> 상기 제1 및 제2 위치 좌표를 전송받고, 상기 제1 및 제2 위치 좌표의 차이를 이용하여 상기 반도체 기판 상의 표면 단차에 의해 발생하는 오차가 보정되는 보정값을 계산하는 위치 보상부를 구비하는 반도체 기판의 정렬 장치를 제공한다.
- <52> 상기 제1 광 및 제2 광에 의해 산출되는 상기 정렬 마크의 위치 좌표의 차이를 이용하여 보정값을 계산함으로써, 상기 정렬 마크의 단차에 의해 발생하는 정렬 시의 오차를 최소화시킬 수 있다.
- <53> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <54> 실시예 1

<55> 도 3은 본 발명의 제1 실시예에 따른 반도체 기판 정렬 장치의 간략한 단면도이다.

<56> 반도체 기판(W)이 놓여지는 스테이지(100)가 구비된다. 상기 스테이지(100)는 구동부(100a)에 의해 X, Y, Z 방향으로 구동한다. 또한, 상기 스테이지(100)는 상기 구동부(100a)에 의해 상기 스테이지(100)의 중심부를 축으로 수평 회전 구동한다.

<57> 상기 반도체 기판(W)의 상부면과 수직한 방향으로 제1 광(102a)을 제공하는 제1 광원(102)을 구비한다. 상기 제1 광원(102)은 상기 반도체 기판 상에 형성되어 있는 정렬 마크 상으로 상기 제1 광(102a)이 스캔할 수 있도록 이송부(도시안함)와 연결된다. 상기 제1 광원(102)은 헬륨 네온(He-Ne), 아르곤(Ar), KrF, ArF, F₂, X-ray를 사용할 수 있다. 상기 반도체 기판 상에 수직 입사한 제1 광(102a)은 상기 반도체 기판 상에 형성되어 있는 정렬 마크에서 회절되어, 상기 제1 광(102a)과 소정각을 이루는 0차 내지 n차 회절광으로 산란된다.

<58> 상기 제1 광(102a)이 상기 반도체 기판(W)의 정렬 마크에서 회절되는 제1 회절광(102b)을 센싱하여, 상기 제1 광(102a)이 회절되는 반도체 기판상의 제1 위치 좌표를 파악하는 제1 센싱부(110)가 구비된다. 상기 제1 센싱부(110)는 제1 센서(110a), 광전 변환 소자(110b), 디스플레이부(110c) 및 위치 계산부(110d)가 구비된다.

<59> 상기 제1 센서(110a)는 제1 광(102a)의 회절광들 중에서 소정 차수의 회절광인 제1 회절광을 선택하여 센싱한다. 예컨대, 상기 제1 센서는(110a) 상기 회절광들에서 1차광만을 센싱한다. 상기 광전 변환 소자(110b)는 상기 제1 센서(110a)로부터 센싱된 제1 회절광을 광전 변환시킨다. 그리고, 상기 디스플레이부(110c)는 상기 광전 변환된 상기 광

의 세기를 DC신호 파형으로 디스플레이한다. 상기 계산부(110d)는 상기 DC신호 파형으로부터 상기 정렬 마크의 제1 위치 좌표를 산출한다.

<60> 상기 반도체 기판의 상부면과 0°초과 90°미만의 입사각을 가지면서 제2 광(104a)을 제공하는 제2 광원(104)을 구비한다. 상기 제2 광원(104)은 헬륨 네온(He-Ne), 아르곤(Ar), KrF, ArF, F₂, X-ray를 사용할 수 있다. 상기 반도체 기판 상에 사입사되는 제2 광(104a)은 상기 반도체 기판 상에 형성되어 있는 정렬 마크에서 회절되어, 상기 제2 광(104a)과 소정각을 이루는 0차 내지 n차 회절광으로 산란된다.

<61> 상기 제2 광(104a)이 상기 반도체 기판(W)에서 회절되는 제2 회절광(104b)을 센싱하여, 상기 제2 광(104a)이 회절되는 반도체 기판(W)상의 제2 위치를 파악하는 제2 센싱부(112)가 구비된다. 상기 제2 센싱부(112)는 제2 센서(112a), 광전 변환 소자(112b), 디스플레이부(112c) 및 위치 계산부(112d)가 구비된다. 상기 제2 센서(112a)는 상기 제2 광(104a)의 회절광들 중에서 소정 차수의 회절광인 제2 회절광(104b)을 선택하여 센싱한다. 상기 광전 변환 소자(112b)는 상기 제2 센서(112a)로부터 센싱된 제2 회절광을 광전 변환시킨다. 그리고, 상기 디스플레이부(112c)는 상기 광전 변환된 상기 광의 세기를 DC신호 파형으로 디스플레이한다. 상기 계산부(112d)는 상기 DC신호 파형으로부터 상기 정렬 마크의 제2 위치 좌표를 산출한다.

<62> 상기 제2 센싱부(112)에 포함되는 광전 변환 소자(112b), 디스플레이부(112c) 및 위치 계산부(112d)는 따로 구비하지 않고, 상기 제1 센싱부(110)에 포함되는 광전 변환 소자(110b), 디스플레이부(110c) 및 위치 계산부(110d)와 공유하여 사용할 수도 있다.

<63> 상기 센싱부들(110, 112)에서 계산된 제1 및 제2 위치 좌표를 전송받고, 상기 제2 위치 좌표의 차이를 이용하여 상기 반도체 기판 상의 표면 단차에 의해 발생하는 오차가 보정되는 보정값을 계산하는 위치 보상부(114)를 구비한다.

<64> 상기 위치 보상부(114)는, 반도체 기판(W)이 정확히 정렬되었을 때, 설계상의 정렬 마크의 위치를 메모리하는 메모리부(114a)를 구비한다. 그리고, 상기 제1 광(102a) 및 제2 광(104a)의 회절광들(102b, 104b)에 의해 계산된 상기 제1 위치 좌표 및 제2 위치 좌표들을 각각 입력받고, 상기 메모리부(114a)에 저장되어 있는 정렬 마크의 위치 좌표와 상기 제1 위치 좌표의 차이인 제1 변위차와, 상기 정렬 마크의 위치 좌표와 상기 제2 위치 좌표의 차이인 제2 변위차를 각각 계산하는 변위차 계산부(114b)를 구비한다. 상기 계산된 제1 변위차 및 제2 변위차를 입력받고, 상기 제1 변위차 및 제2 변위차에 각각 제1 및 제2 팩터를 곱하고, 상기 값들을 서로 합산 또는 감산하여 보정값을 구하는 보정부(114c)를 구비한다.

<65> 상기 보정값에 의해 반도체 기판의 위치를 이동시켜 상기 반도체 기판을 정확한 위치에 정렬한 수 있다. 상기 보정값은 상기 제1 광 및 제2 광에 의해 계산된 위치 좌표들의 차이를 이용하여 상기 정렬 마크를 이루는 패턴들이 단차가 있을 경우에 발생하는 오차를 최소화하도록 계산된 값이다. 때문에, 상기 반도체 기판 정렬 장치를 사용하면, 상기 정렬 마크를 이루는 패턴들이 단차가 있을 경우에도 반도체 기판을 정확히 정렬시킬 수 있다.

<66> 실시예 2

- <67> 도 4는 본 발명의 제2 실시예에 따른 반도체 기판 정렬 장치의 간략한 단면도이다.
- <68> 이하에서 설명하는 반도체 기판 정렬 장치는 상기 제 1 실시예에 따른 장치와 제1 광 및 제 2광을 제공하는 장치만이 달라질 뿐 매우 유사한 구성을 갖는다.
- <69> 반도체 기판(W)이 놓여지는 스테이지(200)가 구비된다. 상기 스테이지(200)는 구동부(200a)에 의해 X, Y, Z 방향으로 구동한다. 또한, 상기 스테이지(200)는 상기 구동부(200a)에 의해 상기 스테이지(200)의 중심부를 축으로 수평 회전 구동한다.
- <70> 상기 반도체 기판(W)의 상부면에 대해 제1 입사각을 갖는 제1 광(203a) 및 상기 제1 입사각과는 다른 제2 입사각을 갖는 제2 광(203b)을 조사하는 광원부(202)를 구비한다.
- <71> 상기 광원부(202)는 하나의 광원(202a)을 구비한다. 그리고, 상기 광원(202a)으로부터 조사되는 광의 경로 상에 위치하여 상기 광이 제1 광(203a) 및 제2 광(203b)으로 분리되는 광 분리기(202b)를 구비한다. 상기 광원(202a) 및 상기 광분리기(202b)는 상기 제1 광(203a) 및 상기 제 2광(203b)이 상기 반도체 기판 상의 정렬 마크를 스캔할 수 있도록 이송부(도시 안함)와 연결된다. 이 때, 상기 광원 (202a)및 광 분리기(202b)는 상기 제1 입사각이 90°가 되도록 위치하는 것이 바람직하다.
- <72> 상기 광원(202a)은 헬륨 네온(He-Ne), 아르곤(Ar), KrF, ArF, F₂, X-ray를 사용할 수 있다. 상기 반도체 기판(W) 상에 입사한 제1 광(203a) 및 제2 광(203b)은 상기 반도체 기판(W) 상에 형성되어 있는 정렬 마크에서 회절되어, 상기 제1 광 및 제2 광과 소정의 각을 이루는 0차 내지 n차 회절광으로 각각 산란된다.

- <73> 상기 제1 광(203a)이 상기 반도체 기판(W)에서 회절되는 회절광(205a)을 센싱하여, 상기 제1 광(203a)이 회절되는 반도체 기판(W)상의 제1 위치 좌표를 파악하는 제1 센싱부(210)가 구비된다.
- <74> 상기 제2 광(203b)이 상기 반도체 기판(W)에서 회절되는 회절광(205b)을 센싱하여, 상기 제2 광(203b)이 회절되는 반도체 기판(W)상의 제2 위치를 파악하는 제2 센싱부(212)가 구비된다.
- <75> 상기 센싱부들(210, 212)에서 계산된 제1 및 제2 위치 좌표를 전송받고, 상기 제2 위치 좌표의 차이를 이용하여 상기 반도체 기판 상의 표면 단차에 의해 발생하는 오차가 보정되는 보정값을 계산하는 위치 보상부(214)를 구비한다.
- <76> 상기 제1, 제2 센싱부(210, 212) 및 위치 보상부(214)는 상기 제1 실시예의 구성과 동일하므로 설명을 생략한다.
- <77> 따라서, 상기 보정값에 의해 반도체 기판의 위치를 이동시켜 상기 반도체 기판을 정확한 위치에 정렬한 수 있다. 상기 반도체 기판 정렬 장치를 사용하면, 상기 정렬 마크를 이루는 패턴들이 단차가 있을 경우에도 반도체 기판을 정확히 정렬시킬 수 있다.
- <78> 이하에서는, 상기 설명한 정렬 장치를 사용하여 반도체 기판을 정렬하는 방법을 설명한다.
- <79> 도 5는 본 발명의 일 실시예에 따른 반도체 기판 정렬 방법의 플로 차트이다.
- <80> 정렬 마크가 형성되어 있는 반도체 기판을 스테이지 상부에 로딩한다.(S10) 상기 반도체 기판의 표면에는 포토레지스트막이 코팅되어 있다. 그리고, 상기 포토레지스트막

의 하부에는 이 전의 노광 및 식각 공정에 의해 정렬 마크들이 형성되어 있다. 상기 정렬 마크는 상기 반도체 기판에 형성되는 칩과 칩 사이의 스크라이브 라인 상의 소정의 위치에 형성된다. 상기 정렬 마크는 소정 높이의 패턴들이 균일한 간격으로 형성되어 있으며, 상기 패턴들이 입사되는 광을 회절하는 회절 격자로서의 역할을 한다..

<81> 이어서, 제 1광은 상기 정렬 마크 상에 수직하게 조사한다.(S12) 상기 제1 광은 상기 반도체 기판 상에 형성되어 있는 정렬 마크 상을 연속적으로 스캔한다.

<82> 상기 정렬 마크 상으로 조사된 제1 광은 상기 정렬 마크에서 회절되어, 상기 제1 광과 소정각을 이루는 0차 내지 n차 회절광으로 산란된다. 이 때, 상기 정렬 마크에 포함되는 각 패턴들 간의 간격을 d , 회절각을 θ , 제1 광의 파장을 λ 라고 하였을 때,

<83>
$$d \sin \theta = n \lambda \quad (n=0, \pm 1, \pm 2, \pm 3 \dots)$$

<84> 을 만족하는 각 θ 로 회절광이 검출된다..

<85> 상기 제1 광이 상기 반도체 기판에서 회절되는 회절광을 선택적으로 센싱하고, 광 전 변환시킨다. 그리고, 상기 광의 세기를 DC신호 파형으로 디스플레이한다. 상기 DC신호 파형에 일반적인 정렬 처리 알고리즘을 수행하여 상기 정렬 마크의 제1 위치 좌표를 산출한다.(S14)

<86> 상기 제2 광은 상기 정렬 마크 상에 0 초과 90°미만에서 선택된 어느 하나의 입사각으로 조사한다.(S16) 상기 제2 광은 상기 제1 광에 의해 산출된 제1 위치 좌표의 오차를 보상하기 위해 제공되는 광이다. 상기 제2 광은 상기 제1 광을 기판 상에 조사할 때 동시에 조사할 수 있다. 이 때, 사용자는 상기 제2 광의 파장 및 상기 정렬 마크 상으로 입사하는 입사각의 각은 반드시 알고 있어야 한다. 상기 제2 광은 상기 반도체 기판 상

에 형성되어 있는 정렬 마크 상을 연속적으로 스캔한다. 이 때, 상기 제2 광은 상기 제1 광이 스캔하는 방향과 동일한 방향으로 스캔한다.

<87> 상기 제2 광이 상기 반도체 기판에서 회절되는 회절광을 센싱하고, 광전 변환시킨다. 그리고, 상기 광의 세기를 DC신호 파형으로 디스플레이한다. 상기 DC신호 파형에 일 반적인 정렬 처리 알고리즘을 수행하여 상기 정렬 마크의 제2 위치 좌표를 산출한다.(S18)

<88> 이상적으로는, 동일한 정렬 마크 상에서 상기 방법에 의해 제1 위치 좌표 및 제2 위치 좌표를 각각 산출하면 상기 좌표값은 동일하여야 한다. 그런데, 상기 웨이퍼 상에 형성되어 있는 정렬 마크의 패턴들이 원하는 두께 이하로 형성되거나, 국부적으로 상기 정렬 마크 패턴들 간에 단차가 발생한다면, 상기 제1 위치 좌표 및 제2 위치 좌표는 동일하지 않고 또한 정확한 값으로 산출되지 않는다.

<89> 구체적으로, 반도체 기판 상에 형성되는 정렬 마크가 동일한 좌표 상에 위치하고, 각 정렬 마크의 패턴들이 높이의 차이가 있을 경우를 도 6을 참조하여 살펴보자.

<90> 상기 제1 광(250)을 제1 높이를 갖는 정렬 마크(254a)에 수직하게 조사하면, 상기 제1 광(250)에 의한 회절광이 센싱되는 위치는 A지점이 된다. 그리고, 상기 제1 광(250)을 상기 제1 높이에 비해 낮은 제2 높이를 갖는 정렬 마크(254b)에 수직하게 조사하면, 상기 제1 광(250)에 의한 회절광이 센싱되는 위치는 상기 A지점에서 양의 방향으로 ΔY_1 만큼 이격된 B지점이 된다.

<91> 즉, 상기 정렬 마크가 이전 공정에 의해 손상되거나 또는 연마되어 상기 정렬 마크의 높이가 낮아져 제2 높이를 가질 경우에는 회절광이 센싱되는 위치가 양

의 방향으로 $\Delta Y1$ 만큼 이동한다. 때문에, 상기 센싱된 회절광을 광전 변환시켜 광의 세기를 DC신호 파형으로 전환하여 산출되는 제1 위치 좌표는 원래의 정렬 마크 위치에 비해 양의 방향으로 이동되어 있다.

<92> 반면에, 상기 제2 광(260)을 제1 높이를 갖는 정렬 마크(254a)에 소정의 입사각을 가지면서 사입사시키면, 상기 제2 광(250)에 의한 회절광(252a)이 센싱되는 위치는 C지점이 된다. 그리고, 상기 제2 광(250)을 상기 제1 높이에 비해 낮은 제2 높이를 갖는 정렬 마크(254b)에 상기와 동일한 입사각을 가지면서 사입사시키면, 상기 제2 광(260)에 의한 회절광(252b)이 센싱되는 위치는 상기 C지점에서 음의 방향으로 $\Delta Y2$ 만큼 이격된 D지점이 된다.

<93> 즉, 상기 정렬 마크가 이전 공정에 의해 손상되거나 또는 연마되어 상기 정렬 마크의 높이가 낮아져 제2 높이를 가질 경우에는 회절광이 센싱되는 위치가 음의 방향으로 $\Delta Y2$ 만큼 이동한다. 때문에, 상기 센싱된 회절광을 광전 변환시켜 광의 세기를 DC신호 파형으로 전환하여 산출되는 제2 위치 좌표는 원래의 위치에 비해 음의 방향으로 이동되어 있다.

<94> 상기 제1 위치 좌표와 제2 위치 좌표간의 차이를 이용하여 정렬 마크 패턴의 단차에 따른 오차가 보정되면서, 정확한 위치로 기판을 정렬할 수 있는 보정값을 계산한다.(S20)

<95> 간단히 설명하면, 상기에서 예를 들어 설명한 것과 같이 정렬 마크의 높이가 낮아지면 상기 제1 위치 좌표 및 제2 위치 좌표는 각각 오차가 발생하고, 상기 제1 위치 좌표 및 제2 위치 좌표가 동일한 값을 갖지 못한다. 그런데, 상기 제1 광의

회절광이 센싱되는 위치는 상기 설계된 정렬 마크로부터 회절광이 센싱되는 위치로부터 제1 방향으로 쉬프트된다. 반면에, 상기 제2 광의 회절광이 센싱되는 위치는 상기 설계된 정렬 마크로부터 회절광이 센싱되는 위치로부터 상기 제1 방향과 구분되는 제2 방향으로 쉬프트된다. 즉, 상기 정렬 마크의 설계된 높이와 다를 경우, 상기 제1 광 및 제2 광의 회절광이 센싱되는 위치의 변위는 원래 설계된 정렬 마크로부터 회절광이 센싱되는 위치 서로 반대 방향으로 각각 이동한다. 이를 이용하여 오차를 보상하는 것이다.

<96> 이하에서, 오차 보상의 방법에 대해 좀 더 상세히 설명한다.

<97> 설계상의 정렬 마크의 설계상의 상기 제1 광에 의해 취득되는 제1 위치 좌표값의 차이로서 제1 변위차를 지정한다. 이어서, 설계상의 정렬 마크의 좌표와 상기 제2 광에 의해 취득되는 제2 위치 좌표값의 차이로서 제2 변위차를 지정한다. 그리고, 상기 제1 변위차 및 제2 변위차에 각각 제1 및 제2 팩터를 취하고 이를 합산하여 보정값을 구한다

<98> 여기에서, 상기 제1 팩터 및 제2 팩터를 구하는 방법을 설명한다.

<99> 우선, 상기 정렬 마크의 높이에 따라 상기 제1 광에 의해 취득되는 제1 위치 좌표값들을 각각 계산한다. 이 때, 상기 정렬 마크의 높이가 낮아져 있다면, 상기 계산된 제1 위치 좌표는 원래 설계된 정렬 마크 위치로부터 제1 방향으로 쉬프트된 좌표값이 된다. 상기 정렬 마크에 포함되는 패턴들의 높이 감소에 따라 상기 제1 위치 좌표가 제1 방향으로 이동하는 정도를 수치화한다.

<100> 이어서, 상기 정렬 마크의 높이에 따라 상기 제2 광에 의해 취득되는 제2 위

치 좌표들을 각각 계산한다. 이 때, 상기 제2 광이 상기 정렬 마크로 사입사되는 각에 따라 상기 제2 위치 좌표값들이 달라지므로, 상기 제2 광의 입사각은 0° 초과 90° 미만의 어느 하나의 각으로 지정되어 있어야 한다.

<101> 이 때, 상기 정렬 마크의 높이가 낮아져 있다면, 상기 계산된 제2 위치 좌표는 원래의 정렬 마크 위치로부터 상기 제1 방향과 구분되는 방향인 제2 방향으로 쉬프트된 좌표값이 된다. 이 때, 상기 정렬 마크에 포함되는 패턴들의 높이 감소에 따라 상기 제2 위치 좌표가 제2 방향으로 이동하는 정도를 수치화한다.

<102> 이어서, 상기 정렬 마크에 포함되는 패턴들의 높이가 동일할 경우, 상기 제1 방향으로 쉬프트되는 변위값(ΔA) 및 제2 방향으로 쉬프트되는 변위값(ΔB)에 각각 작용하여 이들의 합산값이 0이 되도록 하는 작용값들을 계산한다.(도 7 참조) 이 때, 상기 작용값들 중에서, 상기 제1 방향으로 쉬프트되는 변위값에 곱해지는 값이 제1 팩터가 되고, 상기 제2 방향으로 쉬프트되는 변위값에 곱해지는 값이 제2 팩터가 되는 것이다. 상기 정렬 마크에 포함되는 패턴의 위치 변화는 없고, 다만 상기 패턴들의 단차만이 달라질 경우, 상기 제1 팩터 및 제2 팩터가 취해진 변위값들을 합산하면 0이 된다.

<103> 때문에, 상기 정렬 패턴의 단차에 의해 위치 좌표에 오차가 발생하더라도, 정확한 보정값을 구할 수 있다. 상기 정렬 마크의 높이가 동일한 높이 만큼 낮아지더라도, 상기 제1 위치 좌표가 이동하는 정도와 제2 위치 좌표가 쉬프트되는 정도가 다르므로 상기 제1 팩터 및 제2 팩터는 서로 다른 값을 갖게 된다.

<104> 이어서, 상기 제1 변위차 및 제2 변위차에 각각 제1 및 제2 팩터를 취하고 이를 합산하여 구해지는 보정값에 의해 반도체 기판을 정렬한다. (S22)

<105> 상기 방법에 의해 보정값을 구함으로서, 상기 정렬 마크에 포함되는 패턴의 단차에 따른 오차를 최소화하면서 반도체 기판을 정렬할 수 있다.

<106> 상기 방법에 의하면, 정렬 마크가 형성되어 있는 영역별로 상기 정렬 마크에 포함된 패턴들의 단차가 발생하더라도, 오차가 보상되는 보정값을 구해내어 상기 반도체 기판을 정확히 정렬시킬 수 있다.

【발명의 효과】

<107> 상술한 바와 같이 본 발명에 의하면, 반도체 기판의 영역별로 상기 정렬 마크에 포함된 패턴들의 단차가 발생하거나 또는 상기 정렬 마크의 손상에 의해 패턴들의 높이가 불규칙하더라도 상기 정렬 마크의 정확한 위치 좌표를 취득할 수 있다. 이로 인해, 상기 위치 좌표가 정확히 측정되지 않아서 발생하는 반도체 기판의 정렬 오류를 방지할 수 있어서, 상기 반도체 기판을 항상 정확한 위치에 정렬시킬 수 있다. 그러므로, 반도체 기판 정렬이 특히 중요하게 다루어지는 포토 리소그래피 공정 시에 공정 불량을 감소시킬 수 있다. 이러한 공정 불량 감소로 인해 반도체 장치의 수율 향상 및 신뢰성 향상을 이룰 수 있다.

<108> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

- i) 정렬 마크가 형성되어 있는 반도체 기판을 제공하는 단계;
- ii) 상기 정렬 마크와 수직하게 상기 정렬 마크 상으로 제1 광을 조사하는 단계;
- iii) 상기 조사된 제1 광이 상기 정렬 마크에서 회절된 제1 회절광을 센싱하여 상기 정렬 마크의 제1 위치 좌표를 파악하는 단계;
- iv) 상기 정렬 마크 상으로 상기 제1 위치 좌표의 오차를 보정하기 위하여 보상광을 조사하는 단계;
- v) 상기 조사된 보상광이 상기 정렬 마크에서 회절된 제2 회절광을 센싱하여 상기 정렬 마크의 제2 위치 좌표를 파악하는 단계;
- vi) 상기 제2 위치 좌표와 제1 위치 좌표의 차이를 이용하여 기판을 정렬하기 위한 보정값을 계산하는 단계;
- vii) 상기 보정값에 의해 반도체 기판의 정렬하는 단계를 수행하는 것을 특징으로 하는 반도체 기판의 정렬 방법.

【청구항 2】

제1항에 있어서, 상기 보상광은 상기 반도체 기판 상에 입사하는 각이 0° 초과 90° 미만인 각에서 선택된 어느 하나의 각인 것을 특징으로 하는 반도체 기판의 정렬 방법.

【청구항 3】

제1항에 있어서, 상기 i) 단계를 수행한 이 후에, 상기 ii) 및 iv) 단계를 동시에 수행하는 것을 특징으로 하는 반도체 기판의 정렬 방법.

【청구항 4】

제1항에 있어서, 상기 vi) 단계는,

설계상의 정렬 마크의 좌표와 상기 제1 광에 의해 취득되는 제1 위치 좌표값의 차이로서 제1 변위차를 지정하는 단계;

설계상의 정렬 마크의 좌표와 상기 제2 광에 의해 취득되는 제2 위치 좌표값의 차이로서 제2 변위차를 지정하는 단계;

상기 제1 변위차 및 제2 변위차에 각각 제1 및 제2 팩터를 취하고 이를 합산하는 단계를 수행하여 이루어지는 것을 특징으로 하는 반도체 기판의 정렬 방법.

【청구항 5】

제4항에 있어서, 상기 제1 팩터와 제2 팩터는,

정렬 마크에 포함되는 패턴의 높이에 따라, 상기 제1 광에 의해 취득되는 제1 위치 좌표값들을 각각 계산하는 단계;

상기 계산된 상기 제1 위치 좌표값들이 설계된 정렬 마크의 위치 좌표로부터 제1 방향으로 쉬프트되는 정도를 수치화하는 단계;

정렬 마크에 포함되는 패턴의 높이에 따라, 상기 제2 광에 의해 취득되는 제2 위치 좌표값들을 각각 계산하는 단계;

상기 계산된 상기 제2 위치 좌표값들이 설계된 정렬 마크의 위치 좌표로부터 제2 방향으로 쉬프트되는 정도를 수치화하는 단계;

상기 정렬 마크에 포함되는 패턴의 높이가 동일할 경우, 상기 제1 방향으로 쉬프트되는 변위값 및 상기 제2 방향으로 쉬프트되는 변위값에 각각 작용하여 이들의 합산값이

0이 되도록 하는 작용값들을 계산하는 단계를 수행하여 결정하는 것을 특징으로 하는 반도체 기판의 정렬 방법.

【청구항 6】

제1항에 있어서, 상기 제1 광은 상기 정렬 마크의 형성 방향을 따라 이동하면서 조사하는 것을 특징으로 하는 반도체 기판의 정렬 방법.

【청구항 7】

제6항에 있어서, 상기 보상광은 상기 제1 광의 이동 방향과 동일한 방향으로 이동하면서, 상기 제1 광이 조사되는 정렬 마크를 연속적으로 조사하는 것을 특징으로 하는 반도체 기판의 정렬 방법.

【청구항 8】

반도체 기판이 놓여지는 스테이지;

상기 반도체 기판의 상부면에 제1 광과 상기 제1 광과 다른 입사각을 갖는 제2 광을 조사하는 광원부;

상기 제1 광이 상기 반도체 기판에서 회절되는 제1 회절광을 센싱하여, 상기 제1 광이 회절되는 반도체 기판상의 제1 위치 좌표를 파악하는 제1 센싱부;

상기 제2 광이 상기 반도체 기판에서 회절되는 제2 회절광을 센싱하여, 상기 제2 광이 회절되는 반도체 기판상의 제2 위치 좌표를 파악하는 제2 센싱부;

상기 제1 및 제2 위치 좌표를 전송받고, 상기 제1 및 제2 위치 좌표의 차이를 이용하여 상기 반도체 기판 상의 표면 단차에 의해 발생하는 오차가 보정되는 보정값을 계산하는 위치 보상부를 구비하는 것을 특징으로 하는 반도체 기판의 정렬 장치.

【청구항 9】

제 8항에 있어서, 상기 광원부는 상기 제1 광이 상기 반도체 기판과 수직하게 상기 반도체 기판 상에 조사되도록 형성하는 것을 특징으로 하는 반도체 기판의 정렬 장치.

【청구항 10】

제 8항에 있어서, 상기 광원부에서 제2 광은 상기 반도체 기판과 소정각을 가지면서 상기 반도체 기판 상에 조사되도록 형성하는 것을 특징으로 하는 반도체 기판의 정렬 장치.

【청구항 11】

제8항에 있어서, 상기 광원부는,

하나의 광원;

상기 광원으로부터 제공되는 광을 상기 반도체 기판에 대해 2개의 방향을 갖는 제1 광 및 제2 광으로 분리하는 광 분리기로 구성되는 것을 특징으로 하는 반도체 기판의 정렬 장치.

【청구항 12】

제11항에 있어서, 상기 광원 및 광 분리기는 상기 반도체 기판과 평행하게 이동 가능하도록 이송부와 연결되는 것을 특징으로 하는 반도체 기판의 정렬 장치.

【청구항 13】

제8항에 있어서, 상기 광원부는,

제 1 광을 제공하는 제1 광원; 및

제2 광을 제공하는 제2 광원으로 구성되는 것을 특징으로 하는 반도체 기판의 정렬 장치.

【청구항 14】

제13항에 있어서, 상기 제1 광원 및 제2 광원은 상기 반도체 기판과 평행하게 이동하도록 이송부와 연결되는 것을 특징으로 하는 반도체 기판의 정렬 장치.

【청구항 15】

제8항에 있어서, 상기 위치 보상부는,

설계상의 정렬 마크의 좌표들을 메모리하는 메모리부;

상기 반도체 기판 상에 상기 제1 광 및 제2 광의 회절광의 위치들을 센싱하여 계산된 각 위치 좌표들을 입력받고, 상기 설계상의 정렬 마크의 좌표와 상기 제1 위치 좌표를 차이인 제1 변위차 및 상기 설계상의 정렬 마크의 좌표와 상기 제2 위치 좌표를 차이인 제2 변위차 각각 계산하는 변위차 계산부;

상기 제1 변위차 및 제2 변위차에 각각 제1 및 제2 팩터를 취하고, 상기 값들을 서로 합산하여 보정값을 구하는 보정부를 구비하는 것을 특징으로 하는 반도체 기판의 정렬 장치.

【청구항 16】

제8항에 있어서, 상기 광원부에서 사용되는 광은 헬륨 네온(HeNe), 아르곤(Ar), KrF, ArF, F₂, 엑스레이 레이저로 이루어진 군에서 선택되는 적어도 어느 하나인 것을 특징으로 하는 반도체 기판의 정렬 장치.

【청구항 17】

제8항에 있어서, 상기 제1 센싱부는,

상기 제1 광의 회절광들 중에서 소정 차수의 회절광인 제1 회절광을 센싱하는 제1 센서;

상기 제1 센서로부터 센싱된 제1 회절광을 광전 변환하는 광전 변환 소자;

상기 광전 변환된 광의 세기를 DC신호 파형으로 디스플레이하는 디스플레이부; 및

상기 DC신호 파형으로부터 상기 정렬 마크의 제1 위치 좌표를 산출하는 위치 계산부를 구비하는 것을 특징으로 하는 반도체 기판의 정렬 장치.

【청구항 18】

제8항에 있어서, 상기 제2 센싱부는,

상기 제2 광의 회절광들 중에서 소정 차수의 회절광인 제2 회절광을 센싱하는 제2 센서;

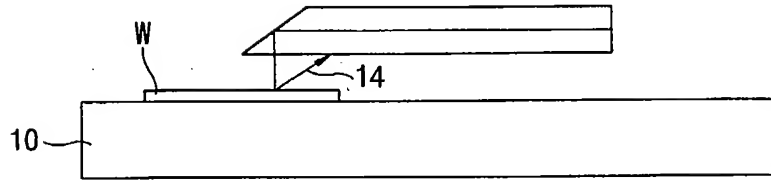
상기 제2 센서로부터 센싱된 제2 회절광을 광전 변환하는 광전 변환 소자;

상기 광전 변환된 광의 세기를 DC신호 파형으로 디스플레이하는 디스플레이부; 및

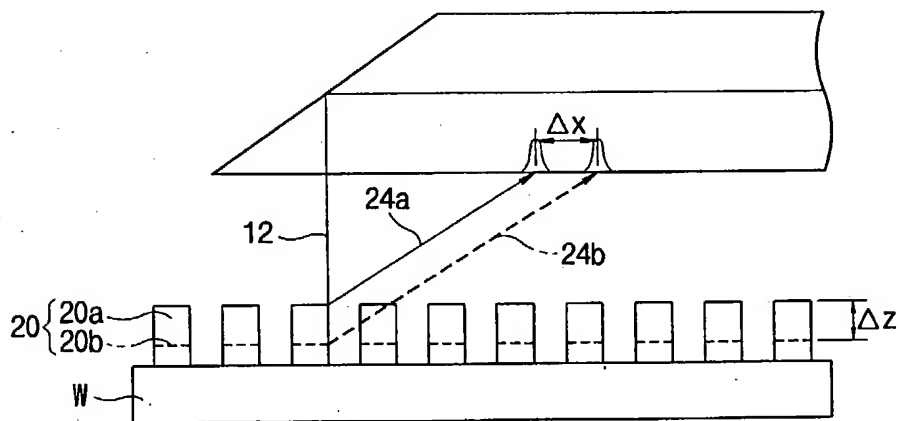
상기 DC신호 파형으로부터 상기 정렬 마크의 제2 위치 좌표를 산출하는 위치 계산부를 구비하는 것을 특징으로 하는 반도체 기판의 정렬 장치.

【도면】

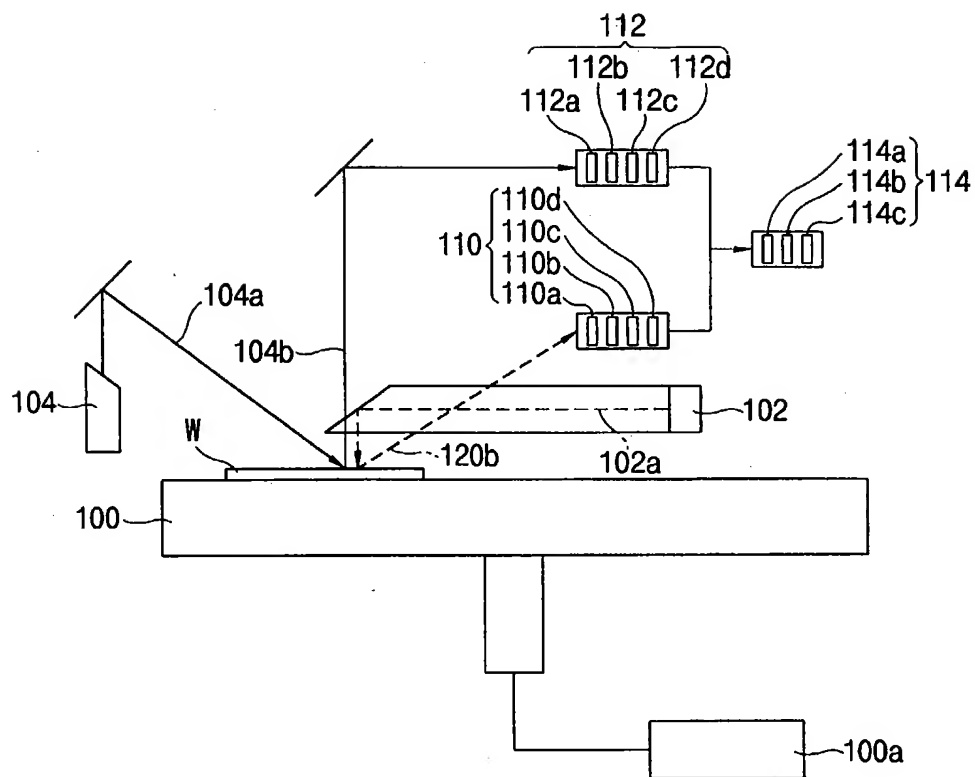
【도 1】



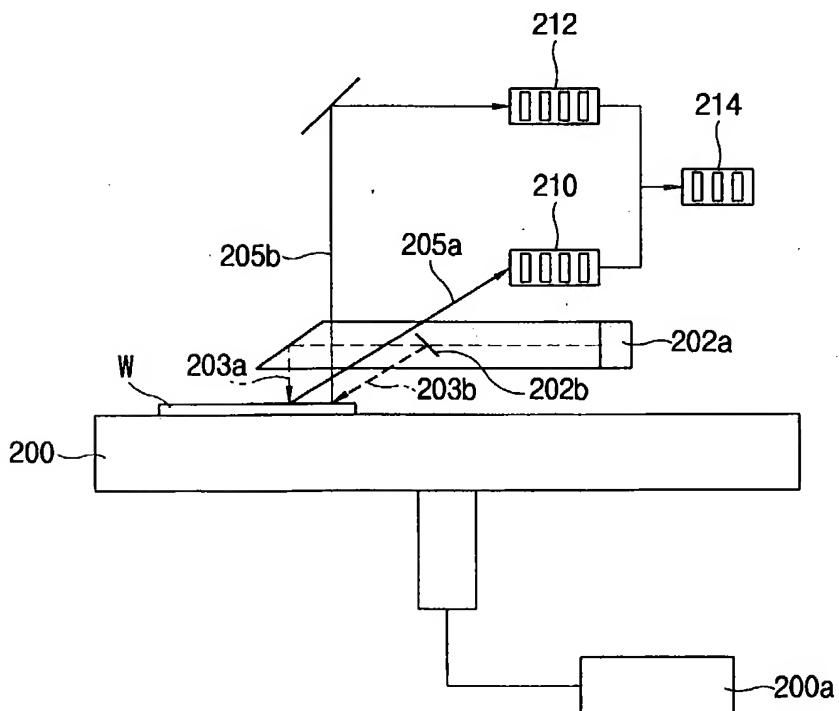
【도 2】



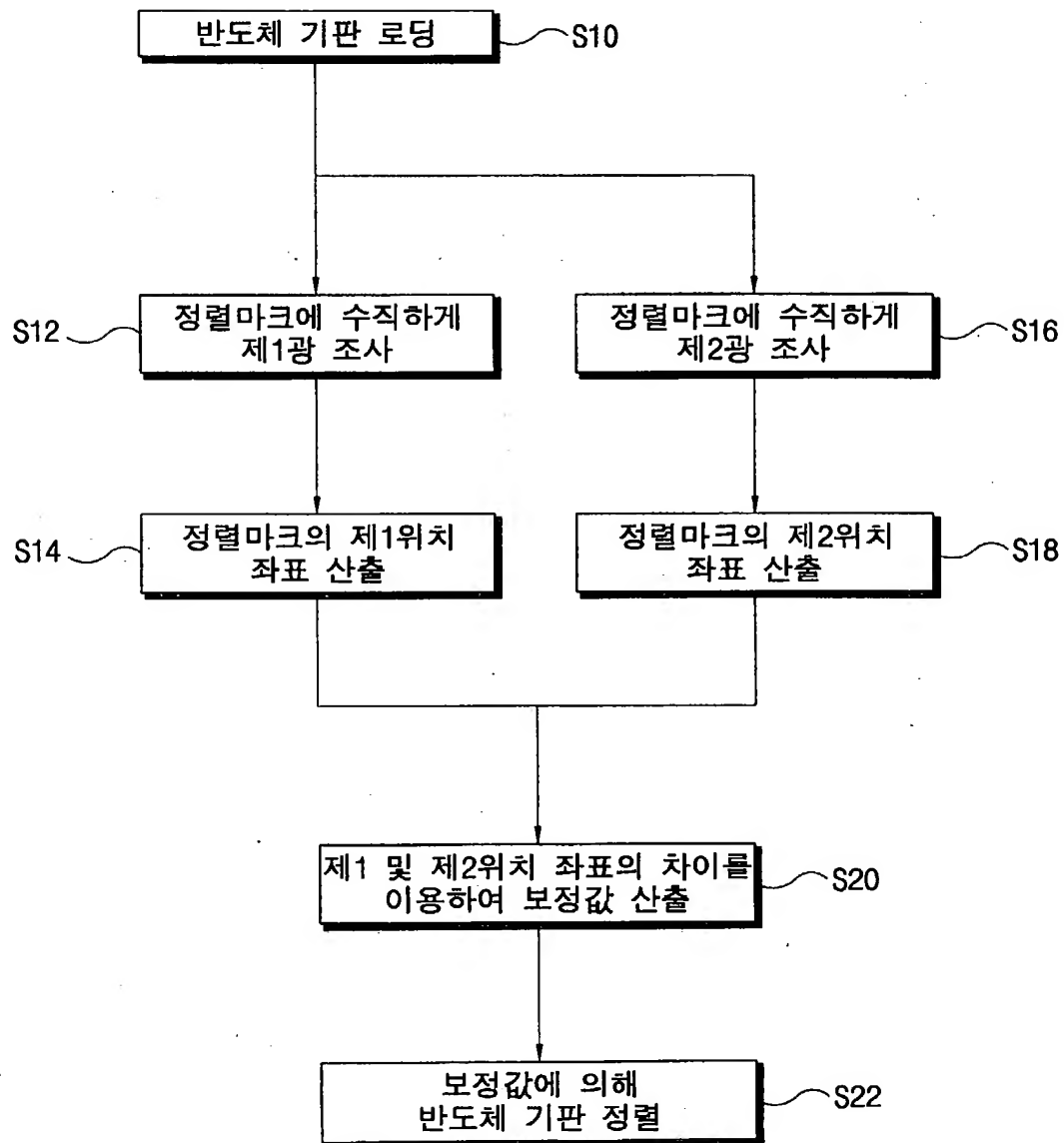
【도 3】



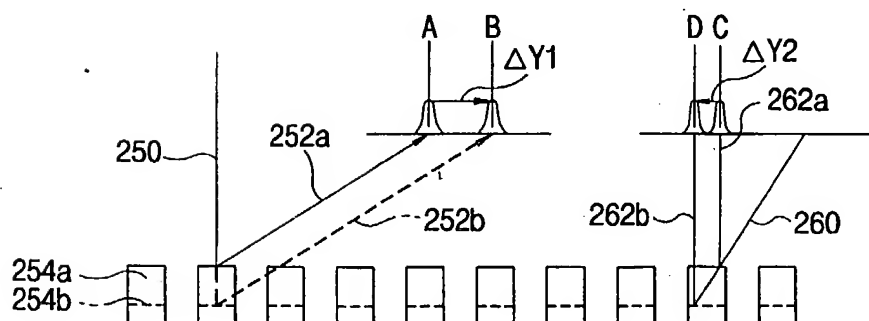
【도 4】



【도 5】



【도 6】



【도 7】

